



PODOC / EPO



INVESTOR IN PEOPLE

PN - JP3048506 A 19910301
 PD - 1991-03-01
 TI - CURRENT VARIABLE CIRCUIT
 AB - PURPOSE: To vary a current supplied from an input terminal of a current mirror circuit by connecting in parallel FETs whose length is the same as width of a gate to an output side of the current mirror circuit. CONSTITUTION: A current mirror is constituted of MOSFETs Q2-Q5 whose gate electrodes are common to Q1, and as carrier mobility μ , oxide film thickness COX under the gate electrode, channel width W, length L, a gate - source voltage VGS, and a threshold voltage VTH, a drain current derived by an expression flows. An output current value becomes the product of the ratio of the number of FET for constituting a diode bias to the number of FET for constituting a current drawing-in part and a current value of an input constant-current source connected to an input terminal 1. For instance, it becomes $3/2I_{ref}$ at the time of a current value I_{ref} of a constant-current source which is connected to the terminal 1 and flows in. In such a way, by selecting arbitrarily the number of FETs for constituting the current mirror, the output current value can be varied variously against the input constant-current.

FI - H03F3/343&A
 PA - NIPPON ELECTRIC CO
 IN - OIKAWA NAOHITO
 AP - JP19900094504 19900410
 PR - JP19890100427 19890419
 DT - I

© WPI / DERWENT

AN - 1991-106170 [15]
 TI - Variable current circuit with MOSFET - contains MOSFETs to provide versatile output current in current mirror circuit and gives lower area layout for element NoAbstract Dwg 1/5
 IW - VARIABLE CURRENT CIRCUIT MOSFET CONTAIN MOSFET VERSATILE
 OUTPUT CURRENT CURRENT MIRROR CIRCUIT LOWER AREA LAYOUT ELEMENT
 NOABSTRACT

PN - JP3048506 A 19910301 DW199115 000pp
 IC - H03F3/34
 MC - U24-G02A U24-G02D U24-G04A2
 DC - U24
 PA - (NIDE) NEC CORP
 AP - JP19900094504 19900410
 PR - JP19890100427 19890419; JP19900094504 19900410

© PAJ / JPO

PN - JP3048506 A 19910301
 PD - 1991-03-01
 TI - CURRENT VARIABLE CIRCUIT
 AB - PURPOSE: To vary a current supplied from an input terminal of a current mirror circuit by connecting in parallel FETs whose length is the same as width of a gate to an output side of the current mirror circuit.
 - CONSTITUTION: A current mirror is constituted of MOSFETs Q2-Q5 whose gate electrodes are common to Q1, and as carrier mobility μ , oxide film thickness COX under the gate electrode, channel width W, length L, a gate - source voltage VGS, and a threshold voltage VTH, a drain current derived by an expression flows. An output current value becomes the product of the ratio of the number of FET for constituting a diode bias to the number of FET for constituting a current drawing-in part and a current value of an input constant-current source connected to an input terminal 1. For instance, it becomes $3/2I_{ref}$ at the time of a current value I_{ref} of a constant-current source which is connected to the terminal 1 and flows in. In such a way, by selecting arbitrarily the number of FETs for constituting the current mirror, the output current value can be varied variously against the input constant-current.

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-48506

⑬ Int.Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月1日

H 03 F 3/343

A

8326-5J

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 電流可変回路

⑯ 特 願 平2-94504

⑰ 出 願 平2(1990)4月10日

優先権主張 ⑱ 平1(1989)4月19日 ⑲ 日本(JP) ⑳ 特願 平1-100427

㉑ 発 明 者 及 川 尚 人 東京都港区芝5丁目7番1号 日本電気株式会社内

㉒ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉓ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

電流可変回路

2. 特許請求の範囲

- (1) 第一の絶縁ゲート電界効果トランジスタで形成したカレントミラー回路と、前記カレントミラー回路の入力側と出力側にそれぞれソース電極およびドレイン電極が並列に接続され且つ同一のゲート幅およびゲート長を有する複数の第二の絶縁ゲート電界効果トランジスタとを含み、前記第二の絶縁ゲート電界効果トランジスタのそれぞれのゲート電極は独自に基準電位点あるいは共通のゲート電極ラインのいずれかへ選択的にもしくは固定的に接続され、前記カレントミラー回路の入力端子に接続した定電流源からの入力電流に対する出力電流を任意に変換するようにしたことを特徴とする電流可変回路。
- (2) MOSトランジスタで構成された電流可変回路において、複数の第1のMOSトランジスタを並列に配置し、ソース電極及びドレイン電極を各々共通接続した第1のMOSトランジスタ群により構成されており、前記第1のMOSトランジスタ群の複数のドレイン電極を入力、残りのドレイン電極を出力とし、かつ全てのソース電極は第1の電源に接続された第1のカレントミラー回路と、複数の第2の極性のMOSトランジスタを並列に配置し、ソース電極及びドレイン電極を各々共通接続した第2のMOSトランジスタ群により構成されており、前記第2のMOSトランジスタ群の複数のドレイン電極を入力、残りのドレイン電極を出力とし、かつ全てのソース電極は第2の電源に接続された第2のカレントミラー回路を有し、前記第1のカレントミラー回路の入力側の共通ゲート電極より引き出した第1の共通ゲート電極ライン及び前記第2のカレントミラー回路の入力側の共通ドレイン電極より引き出した第2の共通ゲート電極ラインを有し、かつ前記第1のカ

ントミラー回路の出力と前記第2のカレントミラー回路の入力とは接続されており、かつ前記第1ののカレントミラーを構成する第1の極性のMOSトランジスタのゲート電極を各々独自に前記第1の電源あるいは前記第1の共通ゲート電極ラインに接続し、かつ前記第2の極性のMOSトランジスタのゲート電極を各々独自に前記第2の電源あるいは前記第2の共通ゲート電極ラインに接続する選択手段を備えたことを特徴とする電流可変回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路において絶縁ゲート電界効果トランジスタ（以下MOSFETと称す）からなるカレントミラー回路を有する電流可変回路に関し、特にカレントミラー回路の入力電流に対する所望の出力電流値を得る電流可変回路に関する。

〔従来の技術〕

SFET 4のオン・オフを制御することにより、入力端子1からの入力定電流に対し整数倍の出力電流を出力端子3から得ることができる。

また、出力電流に整数倍以外の多様性を持たせる場合は、各MOSFET 4のゲート幅およびゲート長を異ならせることにより所定の出力電流を得ることができる。

〔発明が解決しようとする課題〕

上述した従来の電流可変回路は、カレントミラー回路の出力側に同一のゲート幅及びゲート長を有する複数のMOSFETを並列に接続するとともにスイッチを介して選択することにより、カレントミラー回路の入力端子から供給される定電流を可変するように構成している。

しかしながら、かかる電流可変回路においては、入力定電流源からの電流の整数倍の電流しか得られないという欠点がある。

また、電流可変回路の所望する出力電流値に多様性をもたせようすると、様々なゲート幅あるいはゲート長を有するMOSFETをカレントミ

ラール回路の出力側に接続し、これを選択して出力電流を可変することになるが、この場合は多種類のゲート幅あるいはゲート長を有するMOSFETを備える必要があるので、素子占有面積が大きくなったりあるいはレイアウトが複雑になったりするという欠点がある。

第3図は従来の一例を示す電流可変回路図である。

第3図に示すように、従来の電流可変回路は定電流源に接続された入力端子1にMOSFET Q_1 、 Q_2 からなるカレントミラー回路2の入力側を接続し、且つ出力側を出力端子3に接続するとともに同一ゲート幅および同一ゲート長を有する複数のMOSFET (Q_3 、 Q_4 、 Q_5 、… Q_L) 4を並列に接続している。また、これらのMOSFET 4のゲートにはスイッチ (S_1 、 S_2 、 S_3 、… S_L) 5が接続され、基準電位点6と共通のゲート電極ラインとの切換えを制御信号に基づくデコーダ7の制御により行うようにしている。

かかる構成の電流可変回路においては、各MO

ラール回路の出力側に接続し、これを選択して出力電流を可変することになるが、この場合は多種類のゲート幅あるいはゲート長を有するMOSFETを備える必要があるので、素子占有面積が大きくなったりあるいはレイアウトが複雑になったりするという欠点がある。

本発明の目的は、かかるカレントミラー回路の出力電流値に多様性を持たせるとともに、少ない素子占有面積で実現でき、レイアウトも容易にする電流可変回路を提供することにある。

〔課題を解決するための手段〕

本発明の電流可変回路は、第一の絶縁ゲート電界効果トランジスタで形成したカレントミラー回路と、前記カレントミラー回路の入力側と出力側にそれぞれソース電極およびドレイン電極が並列に接続され且つ同一のゲート幅およびゲート長を有する複数の第二の絶縁ゲート電界効果トランジスタとを含み、前記第二の絶縁ゲート電界効果トランジスタのそれぞれのゲート電極は独自に基準電位点あるいは共通のゲート電極ラインのい

れかへ選択的にもしくは固定的に接続され、前記カレントミラー回路の入力端子に接続した定電流源からの入力電流に対する出力電流を任意に変換するように構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を示す電流可変回路図である。

第1図に示すように、本実施例は定電流が入力端子1から入力側に供給され且つ出力側が出力端子3に接続され、しかもMOSFET Q_1 , Q_2 で形成したカレントミラー回路2と、このカレントミラー回路2の入力側および出力側にそれぞれソース電極およびドレイン電極が並列に接続され且つ同一のゲート幅およびゲート長を有する複数個のMOSFET (Q_3 , Q_4 , Q_5 , ..., Q_n , Q_{n+1} , Q_{n+2} , ...) 4と、これらMOSFET 4の各ゲート電極に接続されるスイッチ (S_1 , S_2 , S_3 , ..., S_n , S_{n+1} , S_{n+2} , ...) 5と、制御信号に基

づいてスイッチ5のオン・オフを制御するデコーダ7とを有している。また、デコーダ7から制御されるこれらスイッチ5は独自に基準電位点6あるいは共通のゲート電極ラインのいずれかへ選択的に接続する。すなわち、本実施例におけるスイッチ5は各ゲート電極をMOSFET Q_1 , Q_2 のゲート電極へ接続するか、あるいは別の定電位点6へ接続するかを選択する手段として用いられる。

ここで、一般的MOSFETを飽和領域で用いたときのドレイン電流について考えると、ドレイン電流 I_{DD} はチャネル長変調効果を無視すると、

$$I_{DD} = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 \quad \dots\dots(1)$$

但し、 μ_n : キャリアの移動度、

C_{ox} : ゲート電極下の酸化膜厚、

W : チャネル幅、

L : チャネル長、

V_{GS} : ゲート・ソース間電圧

V_{TH} : しきい値電圧

で与えられる。

しかるに、本実施例においては、MOSFET Q_1 とこれとゲート電極を共通にするMOSFET Q_2 , Q_3 , Q_4 , Q_5 とによりカレントミラーが構成されており、それぞれのMOSFETへ前述した(1)式で与えられるドレイン電流が流れる。一方、MOSFET Q_1 , Q_2 , Q_3 , Q_4 , Q_5 のゲート・ソース間電圧 V_{GS} は等しく且つ全てのMOSFETのチャネル幅 W とチャネル長 L は等しく全てのMOSFETは整合がとれていると仮定すると、MOSFET Q_1 , Q_2 , Q_3 , Q_4 , Q_5 のドレイン電流は全て等しくなる。このため、出力電流値は入力端子1に接続された入力定電流源の電流値に、ダイオード・バイアス部を構成するMOSFETの数と電流吸い込み部を構成するMOSFETの数との比を乗じたものとなる。例えば、本実施例においては、 $3/(2I_{DD})$ (ここで、 I_{DD} は入力端子1に接続されて流入する定電流源の電流値を表わす) となる。このように、カレントミラーを構成するMOSFETの数を任意に選択することにより、入力定電流に対して出力電

流値を多様に可変することが可能になる。

尚、上述した実施例ではカレントミラー回路2の入力側であるMOSFET Q_1 と並列に接続される数をMOSFET Q_2 のみとし、また出力側であるMOSFET Q_1 と並列に接続される数をMOSFET Q_2 , Q_3 としたが、適当に且つ自由に組み合わせることができるのは言及するまでもない。

第2図は本発明の第二の実施例を示す電流可変回路図である。

第2図に示すように、本実施例は前述した第一の実施例と比較して入力端子1からの定電流をMOSFET Q_1 , Q_2 からなるカレントミラー回路の入力側に供給し、出力端子3から任意の出力電流を取り出すこと、およびカレントミラー回路2の入力側と出力側とにそれぞれ同一ゲート幅と同一ゲート長を有する複数個のMOSFET Q_3 , Q_4 , ..., Q_n 4を並列に接続すること、並びにMOSFET 4のゲートが基準電位点6あるいは共通のゲート電極ラインのいずれかに接続するよ

うにしたことについては同様である。これらの相違する点は、本実施例がスイッチ5およびデコーダ7を設けず、各MOSFET4のゲートをアルミ配線8を用い基準電位点6あるいは共通のゲート電極ラインのいずれかに固定的な組合わせにより接続することにある。

従って、本実施例は被数個のMOSFET4を選択して回路を構成するので、その組み合わせによって入力定電流に対しても多様な出力電流値を容易に得られ、しかも選択手段が固定的なアルミ配線8で行なわれているため、スイッチ5と制御信号やデコーダ7が不用となり、回路構成が簡単になるという利点がある。

第4図は本発明の第三の実施例の電流可変回路図である。図においては I_{10} は入力電流、 I_{100} は出力電流、 $Q_{101} \sim Q_{102}$ 及び $Q_{103} \sim Q_{104}$ はN型MOSトランジスタ、 $Q_{105} \sim Q_{106}$ 及び $Q_{107} \sim Q_{108}$ はP型MOSトランジスタ、 $S_{101} \sim S_{102}$ 、 $S_{103} \sim S_{104}$ 、 $S_{105} \sim S_{106}$ 、 $S_{107} \sim S_{108}$ はスイッチ、 $C_{101} \sim C_{102}$ 、 $C_{103} \sim C_{104}$ 、 $C_{105} \sim C_{106}$ 、 $C_{107} \sim C_{108}$ はスイッチ。

$Q_{101} \sim Q_{102}$ 及び $Q_{103} \sim Q_{104}$ が第2のカレントミラー回路を構成しており、残りのトランジスタは $V_{GS} = 0$ であるために動作していない状態にある。今、第1のカレントミラー回路を構成するN型MOSトランジスタのゲート・ソース間電圧 V_{GSN} は等しいため、全てのN型MOSトランジスタのチャネル長 L_N とチャネル幅 W_N がそれぞれ等しいとするとトランジスタ $Q_{101} \sim Q_{102}$ 及び $Q_{103} \sim Q_{104}$ のドレイン電流は等しくなる。このため、第1のカレントミラー回路の出力電流値を I_{100} とすると、 I_{100} は入力電流 I_{10} に入力側のトランジスタ数と出力側のトランジスタ数の比を乗じたものになり $I_{100} = -\frac{2}{3} I_{10}$ となる。さらに、第2のカレントミラー回路を構成するP型MOSトランジスタのゲート・ソース間電圧 V_{GSP} も等しいため、全てのP型MOSトランジスタのチャネル長 L_P とチャネル幅 W_P がそれぞれ等しいとすると、同様に考えて、第2のカレントミラー回路の出力電流 I_{101} は $I_{101} = -\frac{7}{5} I_{100} = -\frac{14}{15} I_{10}$ となる。このように第1及び第2のカレントミラー

$C_{101} \sim S_{108}$ はスイッチを駆動する制御信号である。本実施例においては、第1のカレントミラー回路をN型MOSトランジスタで構成し、第1のカレントミラー回路に続く第2のカレントミラー回路をP型MOSトランジスタで構成している。また各MOSトランジスタのゲート電極を共通ゲート電極ラインに接続するか、あるいはソース側電源に接続するかの選択手段はスイッチとそれを駆動する制御信号である。

次に本実施例の動作について説明する。一般にMOSトランジスタを飽和領域で用いた場合ドレイン電流 I_D はチャネル長変調効果を無視すると、

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad \dots\dots ①$$

で与えられる。①式において μ はキャリアの移動度、 C_{ox} はゲート電極下の酸化膜厚、 W はチャネル幅、 L はチャネル長、 V_{GS} はゲート・ソース間電圧そして V_{TH} はしきい値電圧である。第1図において制御信号で駆動されたスイッチによって、N型トランジスタ $Q_{101} \sim Q_{102}$ 及び $Q_{103} \sim Q_{104}$ が第1のカレントミラー回路を、P型トランジスタ

回路を構成するMOSトランジスタ数を任意に選択することにより、入力電流 I_{10} に対する出力電流 I_{100} を多様に可変することが可能となる。

第5図は本発明の第四の実施例の電流可変回路図である。機能は第1図に示したものと同一であるが、MOSトランジスタのゲート電極を選択する選択手段がアルミ配線で行われているため、制御信号やスイッチが不用となり、回路構成が簡単になるという利点をもつ。

〔発明の効果〕

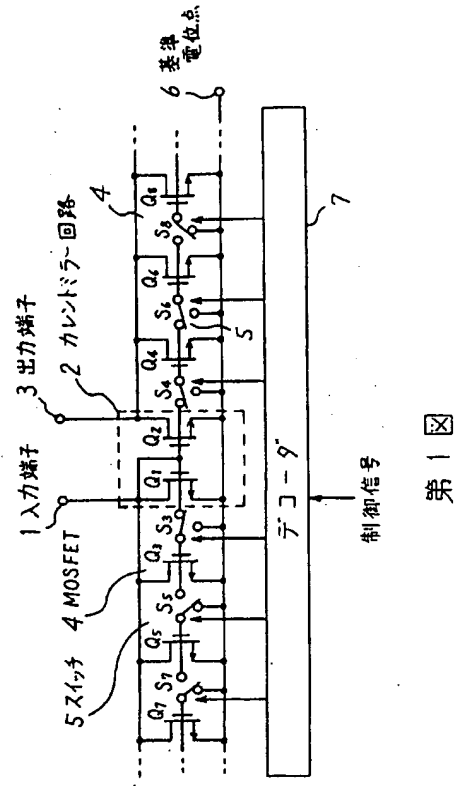
以上説明したように、本発明の電流可変回路は、カレントミラー対の入力側及び出力側に用いられるMOSトランジスタをそれぞれ複数個配置し、これを選択して第1のカレントミラー回路を構成し、さらに第1のカレントミラー回路を構成したMOSトランジスタと反対の極性のMOSトランジスタをカレントミラー対の入力側及び出力側に複数個配置し、これを選択して第2のカレントミラー回路を構成し、入力電流を第1のカレントミラーによって可変し、さらにその出力電流第2の

カレントミラー回路によって可変するため、多様な出力電流値をより少ない素子占有面積で得ることができるといふ効果を有する。

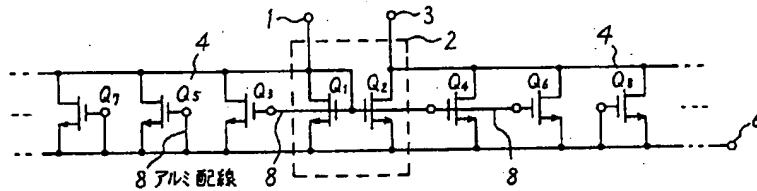
4. 図面の簡単な説明

第1図は本発明の第一の実施例をし得す電流可変回路図、第2図は本発明の第二の実施例を示す電流可変回路図、第3図は従来の一例を示す電流可変回路図、第4図は本発明の第2の実施例の電流可変回路図、第5図は本発明の第四の実施例の電流可変回路図である。

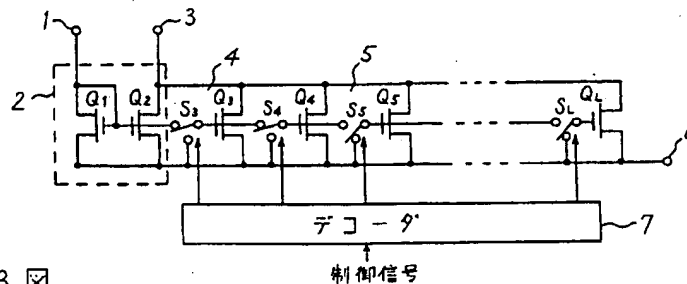
代理人 弁理士 内 原 晋



第1図



第2図



第3図

